

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-192188

(43)Date of publication of application : 10.07.1992

(51)Int.Cl.

G11C 11/41

(21)Application number : 02-324895

(71)Applicant : SONY CORP

(22)Date of filing : 27.11.1990

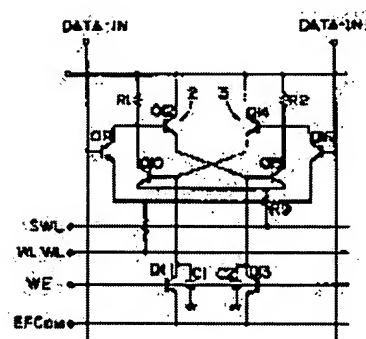
(72)Inventor : YANO MOTOYASU

(54) ECL MEMORY DEVICE

(57)Abstract:

PURPOSE: To remedy software error without deteriorating an operating speed by adding capacitors respectively to the nodes of the emitters of 1st and 2nd emitter follower circuits between the collectors and bases of a pair of transistors provided in order to hold data.

CONSTITUTION: A pair of the emitter follower circuits 2, 3 consisting of the TRs Q12, Q14 are provided in a feedback group constituting a latch circuit. Further, the 2nd capacitor C2 is added to the node of the circuit 2 and the 1st capacitor C1 to the node of the circuit 3. The base potentials of the TRs Q10, A15 constituting a flip-flop 1 for holding the data are prevented from falling so much in this way even if the base potential of the TR Q12 or Q14 falls and, therefore, the high-speed operation is possible and the ECL memory device strong to the software error is obtd.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-192188

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月10日

G 11 C 11/41

7323-5L
7323-5L

G 11 C 11/40
11/34

D
K

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 ECLメモリ装置

⑯ 特 願 平2-324895

⑰ 出 願 平2(1990)11月27日

⑱ 発 明 者 矢 野 元 康 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 船橋 国則

明 細 書

1. 発明の名称

ECLメモリ装置

2. 特許請求の範囲

(1) 入力されたデータを保持するために、一方のトランジスタの出力が他方のトランジスタの入力に供給されるように接続されている一対のトランジスタと、

上記一方のトランジスタの出力がベースに与えられるとともに、そのエミッタが上記他方のトランジスタのベースに接続されて上記一方のトランジスタと上記他方のトランジスタとの間に接続された第1のエミッタフォロア回路と、

上記他方のトランジスタの出力がベースに与えられるとともに、そのエミッタが上記一方のトランジスタのベースに供給するようにして上記他方のトランジスタと上記一方のトランジスタとの間に接続された第2のエミッタフォロア回路と、

上記第1のエミッタフォロア回路の上記エミッタのノードに付加された第2の容量と、

上記第2のエミッタフォロア回路の上記エミッタのノードに付加された第1の容量とを具備することを特徴とするECLメモリ装置。

(2) 入力されたデータを保持するために、エミッタが共通に接続されているとともに、一方のトランジスタの出力が他方のトランジスタの入力に供給されるように接続されている一対のトランジスタと、

上記一対のトランジスタにスタンバイ電流を流すためのワードラインと、上記共通に接続されたエミッタカップル部との間に設けられた大きな抵抗値を有する抵抗器とを具備することを特徴とするECLメモリ装置。

3. 発明の詳細な説明

<産業上の利用分野>

本発明はECLメモリ装置に係わり、特に、レジスタファイル用の3ポートメモリセルに用いて

好適なものである。

<発明の概要>

本発明のECLメモリ装置は、データを保持するために設けられている一対のトランジスタのノードのコレクタの電位が下がっても、これらの一対のトランジスタのベース電位があまり下がらないようにすることにより、動作スピードを劣化させることなくソフトウェア対策を施すことができるようにしたECLメモリ装置である。

<従来の技術>

周知の通り、電子計算器などにおいてはレジスタファイル用として、メモリにアクセスするポートが合わせて3個設けられている3ポートメモリセルが用いられている。このような3ポートメモリセルにおいては、一般に、書き込み用として1ポート設けられているとともに、読み出し用として2ポート設けられている。

第2図は、レジスタファイル用として従来より

らデータ書き込み線BD0、BD0。を介してコンプリメンタルな書き込みデータを入れておくと、上記データに応じた電位がトランジスタQ1、Q2のコレクタに現れる。このような状態を所定期間持続させた後に、電流の供給先を電流を上記書き込み用ワード線WWから上記スタンバイ用ワード線WSB側に切り換えると、上記入力データが上記フリップ・フロップ1に保持される。

保持されているデータを読み出す場合は、動作電流の供給先を読み出し用のワード線WA、WBのいずれかに切り換える。これにより、トランジスタQ7、Q8により構成される第2の差動対12、またはトランジスタQ9、Q10により構成される第3の差動対13のいずれか一方を選択的に動作させ、上記フリップ・フロップ1に保持されているデータを、第1のビット線対BA/BA。または第2のビット線対BB/BB。に読み出すようにしている。

また、上記第1～第3の差動対11、12、13のそれぞれに動作電流を正確供給するための抵

用いられている3ポートメモリセルの一例を示す回路図である。このメモリセルは、トランジスタQ1、Q2と抵抗器R1、R2とによりフリップ・フロップ1が構成されているメモリセルである。上記メモリセルにおいては、トランジスタQ1、Q2の各コレクタが共通に接続されるとともに、各エミッタが抵抗器R10を介してスタンバイ用ワード線WSBに接続されている。これにより、上記フリップ・フロップ1には上記抵抗器R10を介して動作電流が供給され、トランジスタQ1、Q2のいずれが導通状態にあるかにより、1/0の情報を記憶するようになされている。

また、データを書き込むときには、上記スタンバイ用ワード線WSBに流していた電流を書き込み用ワード線WW側に切り換える。これにより、トランジスタQ1、Q2には電流が流れなくなり、双方向リモートコントロール装置に流れていた電流は上記トランジスタQ1、Q2の両側に設けられているトランジスタQ3、Q4により構成される第1の差動対11に入る。そのときに、外部か

抵抗器R11、R12、R13が各差動対と各ワード線との間に介設されている。

ところで、このようにして保持されているデータが、ソフトウェアと呼ばれるエラーによって誤って変化してしまうことある。このソフトウェアは、例えばパッケージ材料などに含まれる放射線物質が発生するα粒子の入射によるダメージや、各種の雑音によって生じるといわれている。このため、保持しているデータが変化しないように保護するためには、上記ソフトウェアの対策を施す必要がある。しかし、第2図に示した3ポートメモリセルは、上記ソフトウェアに対する対策を何も施していないので、上記α粒子が入射したりしたときに、トランジスタのコレクタのノードにマイナスの電荷がチャージされてしまい、これにより“H”のデータを保持しているのにそれが“L”として出力されるようになってしまうことがある。

このような不都合を防止するために、例えばIEEE 1987 BCTMに掲載されていると

ころの、第3図に示すようなメモリセルが用いられることがある。第3図の回路においては、トランジスタQ5、Q6よりなるエミッタフォロア回路が設けられていて、抵抗器R1、R2の電圧を上記エミッタフォロア回路を介して、フリップ・フロップ1を構成するトランジスタQ1、Q2の各ベースに供給することにより、この電流を小さくしている。このように保持電流の大きさを小さくすることにより、上記トランジスタに付いている容量を充電する能力が下がるので、ノイズにより誤動作することが少なくなり、上記したようなソフトエラーに対して強くなる。

また、上記トランジスタQ1、Q2のエミッタを結合する前に抵抗器R3、R4を入れている。これにより、ラッチ回路自身のゲインが小さくなることによって、ソフトエラーに対して強くなるようにしている。

<発明が解決しようとする課題>

このようにすることにより、ソフトエラーに対

エミッタフォロア回路と、上記他方のトランジスタの出力がベースに与えられるとともに、そのエミッタが上記一方のトランジスタのベースに供給するようにして上記他方のトランジスタと上記一方のトランジスタとの間に接続された第2のエミッタフォロア回路と、上記第1のエミッタフォロア回路の上記エミッタのノードに付加された第1の容量と、上記第2のエミッタフォロア回路の上記エミッタのノードに付加された第2の容量とを具備している。

また、本発明の他の特徴は、入力されたデータを保持するために、エミッタが共通に接続されているとともに、一方のトランジスタの出力が他方のトランジスタの入力に供給されるように接続されている一対のトランジスタと、上記一対のトランジスタにスタンバイ電流を流すためのワードラインおよび上記共通に接続されたエミッタカップル部の間に、大きな抵抗値を有する抵抗器を設けている。

しては強くなるが、この回路の場合はフィードバックのゲインが少なくなるので、フィードバックのかかりかたが遅くなる。このため、書き込み速度が低下したり、或いは、ノイズにより保持データが反転はしないものの、元の電圧に戻るまでのリカバリーに時間がかかる等の不都合があった。

本発明は上述の問題点に鑑み、高速動作が可能で、しかもソフトエラーに強いECLメモリ装置を提供することを目的とする。

<課題を解決するための手段>

本発明のECLメモリ装置は、入力されたデータを保持するために、一方のトランジスタの出力が他方のトランジスタの入力に供給されるように接続されている一対のトランジスタと、上記一方のトランジスタの出力がベースに与えられるとともに、そのエミッタが上記他方のトランジスタのベースに接続されて上記一方のトランジスタと上記他方のトランジスタとの間に接続された第1の

<作用>

ソフトエラーの原因である α 線により、データを保持しているノードのコレクタに負の電荷がチャージされた場合においても、データを保持するために設けられている一対のトランジスタのノードのコレクタの電位が下がっても、これら一対のトランジスタのベース電位があまり下がらないようにする。これにより、上記コレクタの電位が下がることにより、これら一対のトランジスタの動作状態が反転する不都合を有効に防止することができ、動作スピードを劣化させることなくソフトエラー対策を施すことを可能になる。

<実施例>

第1図は、本発明の一実施例を示すECLメモリ装置も要部を示す回路構成図である。なお、この回路図においては、図面を簡略化するために読み出し用の素子を省略して示している。

第1図から明らかなように、本実施例においては、ソフトエラーの対策を2つ施している。

すなわち、その内の一つはラッチ回路を構成するフィードバックループ内に、トランジスタQ12、14よりなる一対のエミッタフォロア回路2、3を設ける。そして、第1のエミッタフォロア回路2のノードに第2の容量C2を付加するとともに、第2のエミッタフォロア回路3に第1の容量C1を付加する。これにより、トランジスタQ12またはQ14のベース電位が下がっても、データを保持するフリップ・フロップ1を構成するトランジスタQ10、Q15のベース電位が余り下がらないようにすることができる。このような容量C1、C2は、上記トランジスタQ10、Q15のベースにそれぞれ接続されるトランジスタQ11、Q13として、コレクターサブ容量C_{cs}が大きい特別なトランジスタを使用することにより、全体のセルサイズを大きくすることなく付加することが可能である。

このような容量C1、C2を、エミッタフォロア回路2、3のエミッタに付加することにより、書き込み速度が低下することが懸念されるが、書

き込み時には上記エミッタフォロア回路に十分大きい電流を流しているため、上記容量C1、C2を、瞬時に充電することができる。したがって、上記容量C1、C2を付加することにより書き込み速度が低下するような不都合は全く生じない。

なお、第1図において、DATA-IN、DATA-INBはデータ入力線を示し、これらの入力線を介してコンプリメンタルなデータが入力されてメモリセルに保持される。次いで、WLWLは書き込み電流供給用ワードライン、WEはエミッタフォロア電流制御用バイアスライン、EFC_{cs}はエミッタフォロア電流供給用ワードラインである。また、トランジスタQ11、Q13は、エミッタフォロア電流を分配するために設けられている。

本実施例におけるソフトエラー対策の他の一つは、データを保持するフリップ・フロップ1を構成するトランジスタQ10、Q15のエミッタカップル部とスタンバイ電流供給用ワードラインWSLとの間に、大きな抵抗値を有する抵抗器R

9を介設している。このように、大きな抵抗値を有する抵抗器R9を上記トランジスタQ10、Q15のエミッタカップル部とスタンバイ電流供給用ワードラインWSLとの間に介設することによりゲインを下げ、上記トランジスタQ15、Q10のベース電位が変動しても、コレクタ電位があまり変動しないようにしている。この場合、フィードバックゲインは下がらない。なお、上記スタンバイ電流供給用ワードラインWSLには、配線容量等のような大きな容量が付いているので、交流的には接地されているのと等価である。したがって、ノイズに対するゲインは、 $R7/R9$ または $R10/R9$ となり、上記抵抗器R9の抵抗値を大きくすることにより、ノイズに対するゲインを小さくしてソフトエラーに強くできることが判る。

<発明の効果>

本発明は上述したように、データを保持するために設けられている一対のトランジスタのコレク

タとベースとの間に、第1および第2のエミッタフォロア回路を介設し、これら第1および第2のエミッタフォロア回路を介してコレクタの電位を相手側トランジスタのベースに供給するようにするとともに、上記第1および第2のエミッタフォロア回路のエミッタのノードに容量をそれぞれ付加したので、上記一対のトランジスタのコレクタ電位が下がっても、相手側のトランジスタのベース電位があまり下がらないようにすることができる。したがって、ソフトエラーの原因である α 線により、データを保持しているノードのコレクタに負の電荷がチャージされ、そのノードのコレクタの電位が下がった場合においても、これら一対のトランジスタの動作状態が反転する不都合を有効に防止することができ、動作スピードを劣化させることなくソフトエラー対策を施すことができる。

との間に大きな抵抗値を有する抵抗器を接続したので、上記一対のトランジスタの動作状態を反転させるノイズに対するゲインを大幅に下げることができ、ソフトウェアに対して強くすることができる。

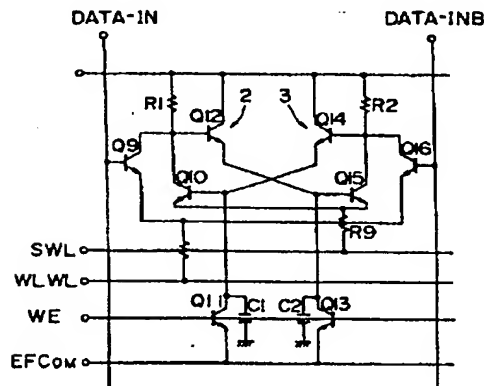
4. 図面の簡単な説明

第1図は、本発明の一実施例を示すECLメモリ装置の要部回路図、

第2図は、従来のECLメモリ装置を説明するための3ポートメモリセルの要部構成を示す回路図、

第3図は、第2図と異なる従来例を示す3ポートメモリセルの要部構成を示す回路図である。

- 1…フリップ・フロップ、
- 2…第1のエミッタフォロア回路、
- 3…第2のエミッタフォロア回路、
- Q10…一方のトランジスタ、
- Q15…他方のトランジスタ、



- 1: フリップ・フロップ
- 2: 第1のエミッタフォロア回路
- 3: 第2のエミッタフォロア回路
- Q10: 一方のトランジスタ
- Q15: 他方のトランジスタ
- C1: 第1の容量
- C2: 第2の容量
- R9: 大きな抵抗値を有する抵抗器
- SWL: スタンバイ電流供給用ワードライン

実施例のECLメモリ装置
第1図

C1…第1の容量、 C2…第2の容量、

R9…大きな抵抗値を有する抵抗器、

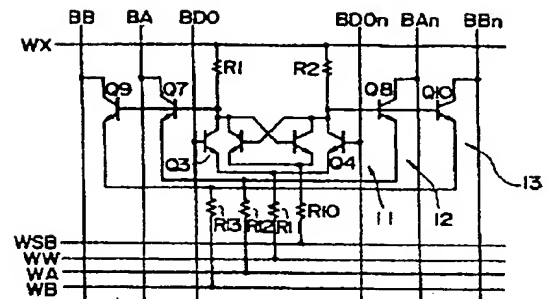
SWL…スタンバイ電流供給用ワードライン、

特許出願人

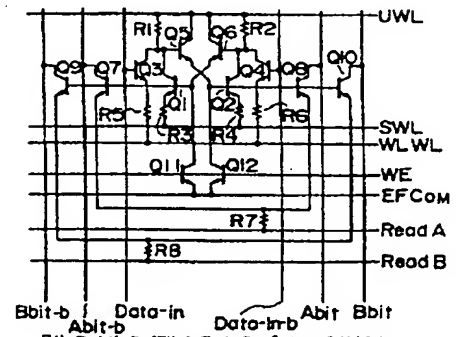
ソニー株式会社

代理人

弁理士 船橋 國 則



従来の3ポートメモリセル
第2図



別の従来例を示す3ポートメモリセル
第3図